

明細書

AM中間周波可変利得増幅回路、可変利得増幅回路及びその半導体集積回路

技術分野

[0001] 本発明は、AM中間周波信号を増幅する可変利得増幅回路、可変利得増幅回路及びその可変利得増幅回路が搭載された半導体集積回路に関する。

背景技術

[0002] 入力信号のレベルの変化に応じて利得を制御する可変利得増幅器が知られている。可変増幅器の一例として、特許文献1には、差動増幅器を構成するトランジスタのエミッタ端子間にダイオードからなる可変抵抗手段を接続し、この可変抵抗手段に流れる電流を制御入力の指数に比例するように制御する回路について記載されている。

[0003] また、特許文献2には、差動増幅回路の2つの出力電流が入力される可変抵抗の抵抗値を変化させて利得を制御する回路について記載されている。

図4は、差動増幅回路のMOSトランジスタに流れる電流を変化させて利得を制御する可変利得増幅回路の例を示す。

[0004] 可変利得増幅回路10は、電流源11と、利得を制御するための制御電圧がゲートに与えられるpチャネルMOSトランジスタ12と、制御基準電圧がゲートに与えられるpチャネルMOSトランジスタ13と、入力信号とその反転信号を差動増幅する4個のpチャネルMOSトランジスタ14ー17と、pチャネルMOSトランジスタ14, 17のドレインに接続され、他端が接地された抵抗R1, R2とで構成されている。

[0005] 図4の可変利得増幅回路40は、pチャネルMOSトランジスタ12に流れる電流を制御することで、増幅回路の利得を変化させている。

次に、図4の可変利得増幅回路10の動作を、図5(a)ー(c)を参照して説明する。

[0006] 図5(b)は、pチャネルMOSトランジスタ12, 13に流れる制御電流Idd1, Idd2と制御電圧との関係を示したものであり、縦軸は制御電流Idd1, Idd2を、横軸は制御電圧を表している。

[0007] ある制御電圧 V_a のとき、pチャネルMOSトランジスタ12とpチャネルMOSトランジスタ13のドレイン電流(制御電流) I_{dd1} 、 I_{dd2} が等しくなるとすると、それより制御電圧が減少するにつれてpチャネルMOSトランジスタ12のドレイン電流 I_{dd1} が増加し、pチャネルMOSトランジスタ13のドレイン電流 I_{dd2} が減少する。

[0008] 入力信号レベルが低いときには、図示しない回路から I_{dd1} を増加させる制御電圧がpチャネルMOSトランジスタ12のゲートに与えられる。 I_{dd1} が増加すると、pチャネルMOSトランジスタ14のドレイン電流 I_{d1} が増加し、同じ電流源11から電流が供給されている I_{dd2} が減少して、pチャネルMOSトランジスタ17のドレイン電流 I_{d4} が減少する。

[0009] 抵抗R1、R2には、それぞれドレイン電流 I_{d1} 、 I_{d2} と信号レベルに比例した電流が流れるので、抵抗R1と抵抗R2との出力電圧の差が増加し、利得可変增幅回路10の利得が増加する。

[0010] 図5(c)は、縦軸に図4の可変利得增幅回路の利得を、横軸に制御電圧を表したものであり、入力信号レベルが低下して制御電圧が減少すると、利得が増加するように制御されていることが分かる。

[0011] 図5(a)は、縦軸に入力信号の信号レベルを、横軸に制御電圧を表したものであり、入力信号のレベルが増大すると、制御電圧が増加し、入力信号のレベルが減少すると、制御電圧が減少するように制御される。

[0012] ところで、図4の可変利得增幅回路10の電流源11がMOSトランジスタで構成されていると考えると、電源VDDと接地間には、電流源11を構成するMOSトランジスタと、利得制御用のMOSトランジスタ12または13と、信号增幅用のMOSトランジスタ14、15、16または17が、少なくとも3個直列に接続されることになり、電源電圧VDDは、MOSトランジスタの動作電圧の3倍以上の電圧が必要となる。そのため、低い電源電圧で図4の可変利得增幅回路10を動作させることができないという問題点があつた。

[0013] そのような問題点を解決するために、例えば、図6に示すような可変利得增幅回路20が考えられている。

この可変利得增幅回路20は、カレントミラー回路の電流を変化させて利得を制御

するようにしたものである。図6において、図4の回路と同じ部分には、同じ符号を付けてそれらの説明は省略する。

[0014] 図6の可変利得增幅回路20は、図4の利得を制御するpチャネルMOSトランジスタ12及び13とpチャネルMOSトランジスタ14ー17の代わりに、nチャネルMOSトランジスタ21, 22, 23, 24からなるカレントミラー回路と、pチャネルMOSトランジスタ25, 26とnチャネルMOSトランジスタ14'ー17'を用いたものである。

[0015] nチャネルMOSトランジスタ14'ー17'の動作は、基本的には、図4のpチャネルMOSトランジスタ14ー17と同じである。

可変利得增幅回路20は、pチャネルMOSトランジスタ25のゲートに与えられる制御電圧が変化すると、例えば、pチャネルMOSトランジスタ25のドレイン電流が増加し、pチャネルMOSトランジスタ26のドレイン電流が減少する。pチャネルMOSトランジスタ25のドレイン電流に比例した電流がnチャネルMOSトランジスタ21, 22のドレインに流れ、pチャネルMOSトランジスタ26のドレイン電流に比例した電流がnチャネルMOSトランジスタ23, 24のドレインに流れれる。

[0016] 従って、pチャネルMOSトランジスタ25のドレイン電流を制御することにより、nチャネルMOSトランジスタ14'及び16とnチャネルMOSトランジスタ15'及び17'のドレイン電圧の電圧差を変化させ、可変利得增幅回路20の利得を制御することができる。

特許文献1:特開平5-29856号公報(図1)

特許文献2:特開平7-122950号公報(図1)

発明の開示

[0017] しかしながら、図6の可変利得增幅回路20は、使用されるMOSトランジスタの数が、図4の可変利得增幅回路10に比べて多いので、回路内部で発生するノイズが増加するという問題点があった。特にAM中間周波信号を増幅する可変利得增幅回路では、低域でのノイズを減らすことが必要である。

[0018] 本発明の課題は、低い電源電圧で使用でき、回路内部で発生するノイズの少ない可変利得增幅回路を提供することである。また、他の課題は、可変利得增幅回路の利得制御用の電界効果トランジスタを非飽和領域で動作させることである。

[0019] 本発明のAM中間周波可変利得増幅回路は、入力信号と該入力信号を反転させた反転入力信号を差動増幅する第1及び第2の電界効果トランジスタと、前記第1の電界効果トランジスタのソースと、前記第2の電界効果トランジスタのソースとの間に接続され、ゲートに前記第1及び第2の電界効果トランジスタの差動増幅利得を制御するための制御電圧が与えられる第3の電界効果トランジスタと、前記第3の電界効果トランジスタを非飽和領域で動作させる直流バイアス電圧を与えるバイアス回路とを有する。

[0020] この発明によれば、低い電源電圧で動作でき、かつ回路内部で発生する低域のノイズの少ないAM中間周波可変利得増幅回路及びMOS集積回路を実現できる。上記の発明において、前記バイアス回路は、少なくとも、ソースが電源に接続され、ゲートがドレインに接続された第4の電界効果トランジスタからなる。

[0021] このように構成することで、例えば、電源電圧が変動した場合でも、バイアス回路の出力電圧は電界効果トランジスタのドレイン・ソース間電圧でほぼ一定に保たれるので、バイアス電圧の変動を抑制できる。これにより、第3の電界効果トランジスタを常に非飽和領域で動作させることができるので、可変利得増幅回路の出力信号の歪みを少なくできる。さらに、バイアス回路の第3の電界効果トランジスタを、利得制御用の第3の電界効果トランジスタと同じ特性を有するトランジスタで構成することができるので、温度変化、電界効果トランジスタの特性のばらつき等によるバイアス点の変動の影響を少なくできる。

[0022] 例えば、第1及び第2の電界効果トランジスタは、図3のpチャネルMOSトランジスタ33, 34に対応し、第3の電界効果トランジスタは、pチャネルMOSトランジスタ35に対応し、第4の電界効果トランジスタは、pチャネルMOSトランジスタ46に対応する。

[0023] 上記の発明において、前記バイアス回路は、少なくとも、ソースが電源に接続され、ゲートがドレインに接続された第4の電界効果トランジスタと、該第4の電界効果トランジスタに直列に接続され、ゲートがドレインに接続された第5の電界効果トランジスタとからなる。

[0024] このように構成することで、例えば、電界効果トランジスタで構成される定電流回路から第1及び第2の電界効果トランジスタに電流が供給されている場合に、定電流回

路の電界効果トランジスタと、第1及び第2の電界効果トランジスタと同じ特性を有する電界効果トランジスタでバイアス回路を構成することができるので、温度変化、電界効果トランジスタの特性のばらつき等によるバイアス点の変動の影響を少なくできる。

[0025] 例えば、第4及び第5の電界効果トランジスタは、図3のpチャネルMOSトランジスタ46及び47に対応する。

上記の発明において、前記第3の電界効果トランジスタと並列に抵抗を接続する。

[0026] 本発明の可変利得増幅回路は、入力信号と該入力信号を反転させた反転入力信号を差動増幅する第1及び第2の電界効果トランジスタと、前記第1の電界効果トランジスタのソースと、前記第2の電界効果トランジスタのソースとの間に接続され、ゲートに前記第1及び第2の電界効果トランジスタの差動増幅利得を制御するための制御電圧が与えられる第3の電界効果トランジスタと、少なくとも、ソースが電源に接続され、ゲートがドレインに接続され、前記第3の電界効果トランジスタを非飽和領域で動作させる直流バイアス電圧を供給する第4の電界効果トランジスタからなるバイアス回路とを備える。

[0027] この発明によれば、低い電源電圧で動作でき、かつ回路内部で発生するノイズの少ない可変利得増幅回路を実現できる。

また、電源電圧が変動した場合でも、バイアス回路の出力電圧は電界効果トランジスタのドレイン・ソース間電圧でほぼ一定に保たれるので、バイアス電圧の変動を抑制できる。これにより、第3の電界効果トランジスタを常に非飽和領域で動作させることができるので、可変利得増幅回路の出力信号の歪みを小さくできる。

[0028] さらに、バイアス回路の第4の電界効果トランジスタを、利得制御用の第3の電界効果トランジスタとほぼ同じ特性を有するトランジスタで構成することで、温度変化、トランジスタの特性のばらつき等によるバイアス点の変動の影響を抑制できる。

[0029] 本発明によれば、低い電源電圧で動作でき、かつ回路内部で発生する低域のノイズの少ないAM中間周波可変利得増幅回路を実現できる。また、低い電源電圧で動作でき、回路内部で発生するノイズが少なく、かつバイアス点の変動の少ない可変利得増幅回路を実現できる。バイアス点の変動を少なくすることで、可変利得増幅回路における信号の歪みを小さくできる。

図面の簡単な説明

[0030] [図1]第1の実施の形態のAM中間周波可変利得増幅回路の回路図である。

[図2]pチャネルMOSトランジスタのドレイン電流の特性を示す図である。

[図3]第2の実施の形態の可変利得増幅回路の回路図である。

[図4]従来の可変利得増幅回路の回路図である。

[図5]入力レベル、制御電流及び利得の説明図である。

[図6]従来の可変利得増幅回路の回路図である。

発明を実施するための最良の形態

[0031] 以下、本発明の実施の形態を図面を参照して説明する。図1は、本発明の第1の実施の形態のAM受信機のAM中間周波可変利得増幅回路30の回路図である。以下に述べる可変利得増幅回路は、pチャネルとnチャネルMOSトランジスタを製造できるCMOSプロセスにより半導体回路基板上に形成される。

[0032] 図1において、電流源31, 32は、一端が電源VDDに接続され、他端がpチャネルMOSトランジスタ(電界効果トランジスタ)33, 34のソースに接続されている。電流源31, 32は、例えば、カレントミラー回路で構成される。

[0033] pチャネルMOSトランジスタ33, 34は差動増幅回路を構成しており、それぞれのゲートに180度位相の異なるAM信号の中間周波信号Vinp, Vinnが入力する。pチャネルMOSトランジスタ33, 34のドレインには、それぞれ抵抗R5, R6が接続され、抵抗R5, R6の他端は接地されている。pチャネルMOSトランジスタ33, 34のドレイン電圧Vout1, Vout2の差電圧が、AM中間周波可変利得増幅回路30の出力電圧となる。

[0034] pチャネルMOSトランジスタ33のソースとpチャネルMOSトランジスタ34のソースとの間には、抵抗R7とpチャネルMOSトランジスタ35が並列に接続されている。このpチャネルMOSトランジスタ35のゲートには、利得を制御するための制御電圧VCTLが入力する。

[0035] なお、図示していないが制御電圧VCTLを出力する回路は、AM中間周波可変利得増幅回路30の出力電圧を検出し、出力電圧が増加したときには、利得を減少させるような制御電圧VCTLを出力し、出力電圧が減少したときには、利得を増加させる

ような制御電圧VCTLを出力する。

[0036] 次に、以上のような構成のAM中間周波可変利得增幅回路30の動作を説明する。この第1の実施の形態のAM中間周波可変利得增幅回路30は、pチャネルMOSトランジスタ35を非飽和領域で動作させ、そのゲート電圧VGを変化させてpチャネルMOSトランジスタ35に流れる電流を制御している。

[0037] 図2は、pチャネルMOSトランジスタのゲート・ソース間電圧VGSを変化させたときのドレイン電流IDとドレイン・ソース間電圧VDSとの関係を示す図である。図2の縦軸は、ドレイン電流IDを、横軸はドレイン・ソース間電圧VDSを示している。非飽和領域のMOSトランジスタのドレイン・ソース間の抵抗はVDS／IDで表すことができる。従って、ゲート電圧VGSを変化させることで、pチャネルMOSトランジスタ35のドレイン・ソース間の抵抗値を変化させ、ドレイン電流IDを制御することができる。

[0038] 今、AM中間周波可変利得增幅回路30の利得がある値に制御されているときに、入力信号Vinpの振幅が増加し、AM中間周波可変利得增幅回路30の出力電圧(Vout1-Vout2)が増大すると、pチャネルMOSトランジスタ35のゲートに、ゲート・ソース間電圧VGSを順バイアス方向に増加させる制御電圧VCTLが与えられる。

[0039] pチャネルMOSトランジスタ35のゲート電圧VGが順バイアス方向に増加すると、ドレイン・ソース間の抵抗値が減少する。このとき、入力信号VinpをpチャネルMOSトランジスタ33で増幅した信号電圧を含むソース電圧VS1が、pチャネルMOSトランジスタ34の信号電圧を含むソース電圧VS2より大きいとすると、電流源31からpチャネルMOSトランジスタ35を通ってpチャネルMOSトランジスタ34に流れ込む電流が増加する。

[0040] 電流源31と32からは、それぞれ一定電流IsがpチャネルMOSトランジスタ33、34及び35に供給されているので、pチャネルMOSトランジスタ35に流れる電流が増加すると、その増加分だけpチャネルMOSトランジスタ33のドレイン電流Id1が減少する。そして、pチャネルMOSトランジスタ35の電流の増加分だけpチャネルMOSトランジスタ34のドレイン電流Id2が増加する。

[0041] その結果、差動増幅回路の一方のpチャネルMOSトランジスタ33のドレイン電圧Vout1が減少し、他方のpチャネルMOSトランジスタ34のドレイン電圧Vout2が増加す

る。これにより、pチャネルMOSトランジスタ33のドレン電圧Vout1と、pチャネルMOSトランジスタ34のドレン電圧Vout2との差電圧が減少し、AM中間周波可変利得增幅回路30の利得が小さくなる。

[0042] 他方、入力信号Vinpの振幅が小さくなり、AM中間周波可変利得增幅回路30の出力電圧が減少すると、pチャネルMOSトランジスタのゲート電圧VGを小さくするような制御電圧VCTLが与えられる。ゲート電圧VGが小さくなると、ドレン・ソース間の抵抗値が大きくなり、電流源31からpチャネルMOSトランジスタ35を通ってpチャネルMOSトランジスタ34に流れ込む電流が減少する。

[0043] pチャネルMOSトランジスタ35に流れる電流が減少すると、その減少分だけpチャネルMOSトランジスタ33のドレン電流Id1が増加する。そして、pチャネルMOSトランジスタ35の電流の減少分だけ、pチャネルMOSトランジスタ34のドレン電流Id2も減少する。

[0044] その結果、差動增幅回路の一方のpチャネルMOSトランジスタ33のドレン電圧Vout1が増加し、他方のpチャネルMOSトランジスタ34のドレン電圧Vout2が減少する。これにより、ドレン電圧Vout1とドレン電圧Vout2との差電圧が大きくなり、AM中間周波可変利得增幅回路30の利得が大きくなる。

[0045] 上述した第1の実施の形態によれば、pチャネルMOSトランジスタ35を非飽和領域で動作させ、そのゲート電圧VGを制御することで、AM中間周波可変利得增幅回路30の利得を変化させることができる。

[0046] この第1の実施の形態のAM中間周波可変利得增幅回路30は、電源と接地間に接続するMOSトランジスタの段数を少なくできるので、低い電源電圧で使用でき、かつトランジスタ数を少なくできるので回路内部で発生する低域のノイズを減らすことができる。

[0047] 次に、図3は、本発明の第2の実施の形態の可変利得增幅回路40の回路図である。以下の説明では、図1の回路と同じ部分には同じ符号を付けてそれらの説明は省略する。

図1のAM中間周波可変利得增幅回路30において、利得を制御するpチャネルMOSトランジスタ35のバイアス電圧として、電源電圧VDDを抵抗で分圧した電圧を供

給した場合、例えば、電源電圧が上昇すると、バイアス電圧が大きくなり、pチャネルMOSトランジスタ35のドレイン・ソース間電圧VDSの最大値が飽和領域に入ってしまう可能性がある。pチャネルMOSトランジスタ35のドレイン・ソース間電圧VDSの最大値が飽和領域に入ると、信号の歪みが大きくなる。第2の実施の形態は、バイアス回路の電源電圧の変動等により生じる信号の歪みを小さくすることを目的としている。

- [0048] 図3において、pチャネルMOSトランジスタ41, 42, 43及び電流源44は、カレントミラー回路であり、このカレントミラー回路は、図1の電流源31, 32に対応する。
- [0049] pチャネルMOSトランジスタ41のドレインには電流源44が接続され、その電流源44の他端は接地されている。pチャネルMOSトランジスタ42及び43のドレイン電流は、pチャネルMOSトランジスタ41のドレイン電流に比例した電流となる。pチャネルMOSトランジスタ41のドレイン電流は、電流源44の出力電流と等しくなる。
- [0050] pチャネルMOSトランジスタ35のバイアス回路45は、ドレインとゲートが接続された2個のpチャネルMOSトランジスタ46, 47と、そのpチャネルMOSトランジスタ46, 47と並列に接続された抵抗R8とからなる。
- [0051] pチャネルMOSトランジスタ46のソースと抵抗R8の一端は電源VDDに接続され、pチャネルMOSトランジスタ46のドレインはpチャネルMOSトランジスタ47のソースと接続されている。また、pチャネルMOSトランジスタ47のドレインと抵抗R8の他端はpチャネルMOSトランジスタ35のゲートG1に接続されている。
- [0052] 差動增幅回路のpチャネルMOSトランジスタ33及び34のバイアス回路48は、それぞれドレインとゲートが接続され、直列に接続された2個のpチャネルMOSトランジスタ49, 50と、電流源51と、抵抗R9, R10とからなる。
- [0053] pチャネルMOSトランジスタ49のソースは電源電圧VDDに接続され、pチャネルMOSトランジスタ49のドレインは、pチャネルMOSトランジスタ50のソースと接続されている。また、pチャネルMOSトランジスタ50のドレインは、抵抗R9, R10と電流源51に接続されている。抵抗R9の他端はpチャネルMOSトランジスタ33のゲートに接続され、抵抗R10の他端はpチャネルMOSトランジスタ34のゲートに接続されている。電流源51の他端は接地されている。また、入力信号Vinpとその反転信号Vinnは、それぞれコンデンサC1, C2を介してpチャネルMOSトランジスタ33, 34のゲートに入

力している。

[0054] 次に、以上のような構成の可変利得増幅回路40の動作を説明する。入力信号V_{inp}、V_{inn}の振幅の変化に対して、pチャネルMOSトランジスタ35の抵抗値を変化させて利得を制御する動作は、図1の回路と同じであるのでバイアス回路45及び48の動作を主に説明する。

[0055] バイアス回路45のpチャネルMOSトランジスタ46、47は、それぞれのゲートとドレインが短絡されているので、電源電圧VDDを基準としたときに、pチャネルMOSトランジスタ35のゲートには、pチャネルMOSトランジスタのドレイン・ソース間電圧の約2倍の電圧が印加される。

[0056] これにより、電源電圧VDDが変動しても、pチャネルMOSトランジスタのゲート電圧VGは、pチャネルMOSトランジスタ46、47のドレイン・ソース間電圧により決まるほぼ一定の電圧となる。

[0057] 従って、電源電圧VDDの変動により、pチャネルMOSトランジスタ35のゲート電圧VGが変動するのを防止できるので、バイアス電圧が変動することにより、入力信号V_{inp}、V_{inn}を増幅した電圧の差電圧の最大値(pチャネルMOSトランジスタ35のS1、S2間の電圧VDS)が飽和領域に入るのを防止することができる。これにより、差動増幅回路の出力信号の歪みを小さくできる。

[0058] さらに、バイアス電圧を供給するpチャネルMOSトランジスタ46、47を、利得制御用のpチャネルMOSトランジスタ35と、カレントミラー回路のpチャネルMOSトランジスタ42、43と同じ特性を有するトランジスタで構成しているので、トランジスタの特性のバラツキや温度特性を揃えることができる。これにより、特性のバラツキや温度変化によるバイアス点の変動の影響を少なくできる。

[0059] pチャネルMOSトランジスタ33及び34のバイアス回路48も上述したバイアス回路45と同様に、バイアス電圧の供給先であるpチャネルMOSトランジスタ33及び34と同じ特性のトランジスタで構成している。

[0060] これにより、pチャネルMOSトランジスタ33、34のゲートには、pチャネルMOSトランジスタのドレイン・ソース間電圧により決まるほぼ一定の電圧が印加されるので、バイアス電圧の変動を小さくできる。

[0061] さらに、バイアス電圧を供給するpチャネルMOSトランジスタ49, 50を、差動増幅回路のpチャネルMOSトランジスタ33, 34と、カレントミラー回路のpチャネルMOSトランジスタ42, 43と同じ特性を有するトランジスタで構成しているので、それらのトランジスタの特性のバラツキや温度特性を揃えることができる。これにより、特性のバラツキや温度変化によるバイアス点の変動の影響を抑制できる。

[0062] 本発明は、上述した実施の形態に限らず、例えば、以下のように構成しても良い。可変利得増幅回路を全てpチャネルMOSトランジスタにより構成した場合について説明したが、nチャネルMOSトランジスタ、あるいはpチャネルとnチャネルMOSトランジスタの両方を用いても良い。

[0063] バイアス回路45は、2個のpチャネルMOSトランジスタ46, 47と抵抗R8からなる回路に限らず、1個のMOSトランジスタで構成しても良いし、バイアス電圧の供給先の回路の構成に応じて2個以上のMOSトランジスタを使用しても良い。また、MOSトランジスタではなく、PN接合を用いても良い。

[0064] 本発明は、ラジオのAM中間周波可変利得増幅回路に限らず、種々の回路の可変利得増幅回路に適用できる。

請求の範囲

[1] 入力信号と該入力信号を反転させた反転入力信号を差動増幅する第1及び第2の電界効果トランジスタと、

前記第1の電界効果トランジスタのソースと、前記第2の電界効果トランジスタのソースとの間に接続され、ゲートに前記第1及び第2の電界効果トランジスタの差動増幅利得を制御するための制御電圧が与えられる第3の電界効果トランジスタと、

前記第3の電界効果トランジスタを非飽和領域で動作させる直流バイアス電圧を与えるバイアス回路とを有するAM中間周波可変利得増幅回路。

[2] 前記バイアス回路は、少なくとも、ソースが電源に接続され、ゲートがドレインに接続された第4の電界効果トランジスタからなる請求項1記載のAM中間周波可変利得増幅回路。

[3] 前記バイアス回路は、少なくとも、ソースが電源に接続され、ゲートがドレインに接続された第4の電界効果トランジスタと、該第4の電界効果トランジスタに直列に接続され、ゲートがドレインと接続された第5の電界効果トランジスタとからなる請求項1記載のAM中間周波可変利得増幅回路。

[4] 前記第3の電界効果トランジスタと並列に抵抗を接続した請求項1, 2または3記載のAM中間周波可変利得増幅回路。

[5] 入力信号と該入力信号を反転させた反転入力信号を差動増幅する第1及び第2の電界効果トランジスタと、

前記第1の電界効果トランジスタのソースと、前記第2の電界効果トランジスタのソースとの間に接続され、ゲートに前記第1及び第2の電界効果トランジスタの差動増幅利得を制御するための制御電圧が与えられる第3の電界効果トランジスタと、

少なくとも、ソースが電源に接続され、ゲートがドレインに接続され、前記第3の電界効果トランジスタを非飽和領域で動作させる直流バイアス電圧を供給する第4の電界効果トランジスタからなるバイアス回路とを備える可変利得増幅回路。

[6] 前記バイアス回路は、前記第4の電界効果トランジスタに直列に接続され、ゲートがドレインと接続された第5の電界効果トランジスタを有する請求項5記載の可変利得増幅回路。

[7] 前記第1及び第2のMOSトランジスタのソースに一定電流を供給する定電流回路を有する請求項5記載の可変利得增幅回路。

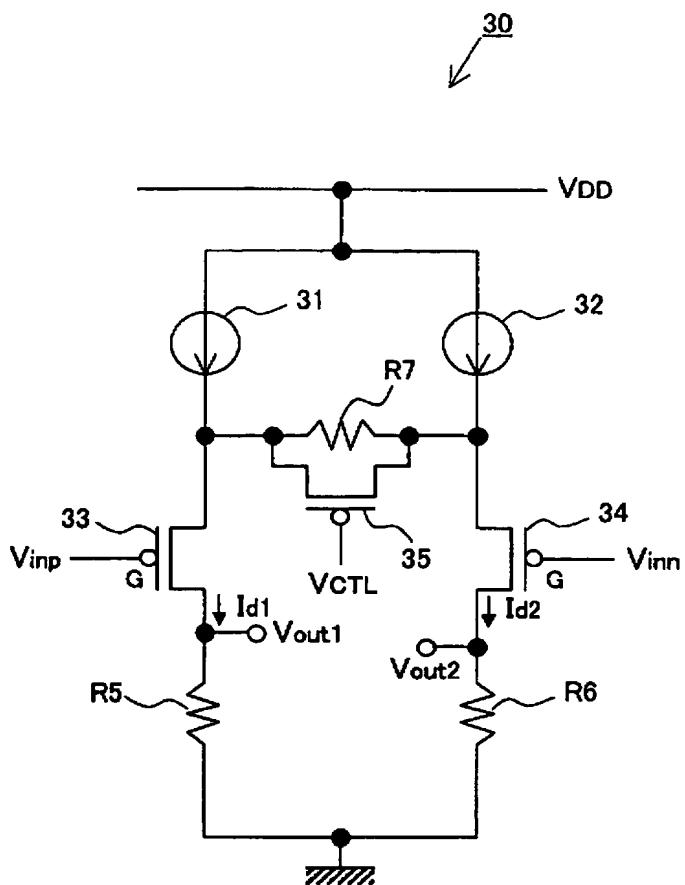
[8] 入力信号と該入力信号を反転させた反転入力信号を差動増幅する第1及び第2の電界効果トランジスタと、
前記第1の電界効果トランジスタのソースの一方と、前記第2の電界効果トランジスタのソースとの間に接続され、ゲートに前記第1及び第2の電界効果トランジスタの差動増幅利得を制御するための制御電圧が与えられる第3の電界効果トランジスタと、
少なくとも、ソースが電源に接続され、ゲートがドレインに接続された第4の電界効果トランジスタを有し、前記第3の電界効果トランジスタを非飽和領域で動作させる直流バイアス電圧を供給する第1のバイアス回路と、
少なくとも、ソースが電源に接続され、ゲートがドレインに接続された第5の電界効果トランジスタを有し、前記第1及び第2の電界効果トランジスタに直流バイアス電圧を供給する第2のバイアス回路とを備える可変利得增幅回路。

[9] 入力信号と該入力信号を反転させた反転入力信号を差動増幅する第1及び第2のMOSトランジスタと、
前記第1のMOSトランジスタのソースと、前記第2のMOSトランジスタのソースとの間に接続され、ゲートに前記第1及び第2のMOSトランジスタの差動増幅利得を制御するための制御電圧が与えられる第3のMOSトランジスタと、
ソースが電源に接続され、ゲートがドレインに接続され、前記第3のMOSトランジスタを非飽和領域で動作させる直流バイアス電圧を供給する第4のMOSトランジスタからなるバイアス回路とで構成される可変利得增幅回路をCMOSプロセスにより半導体回路基板上に形成した半導体集積回路。

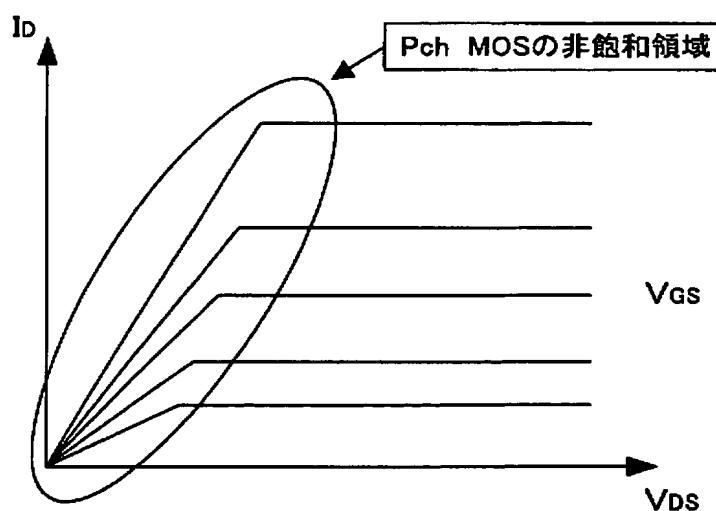
[10] 電流源と、
前記電流源の出力とソースが接続された第1及び第2のMOSトランジスタと、
前記第1のMOSトランジスタのソースと、前記第2のMOSトランジスタのソースとの間に接続され、ゲートに前記第1及び第2のMOSトランジスタの差動増幅利得を制御するための制御電圧が与えられる第3のMOSトランジスタと、
ソースが電源に接続され、ゲートがドレインに接続された第4のMOSトランジスタと、

該第4のMOSトランジスタに直列に接続され、ゲートがドレインと接続された第5のMOSトランジスタとからなり、前記第3のMOSトランジスタを非飽和領域で動作させる直流バイアス電圧を供給するバイアス回路とにより構成される可変利得增幅回路を、CMOSプロセスにより半導体回路基板上に形成した半導体集積回路。

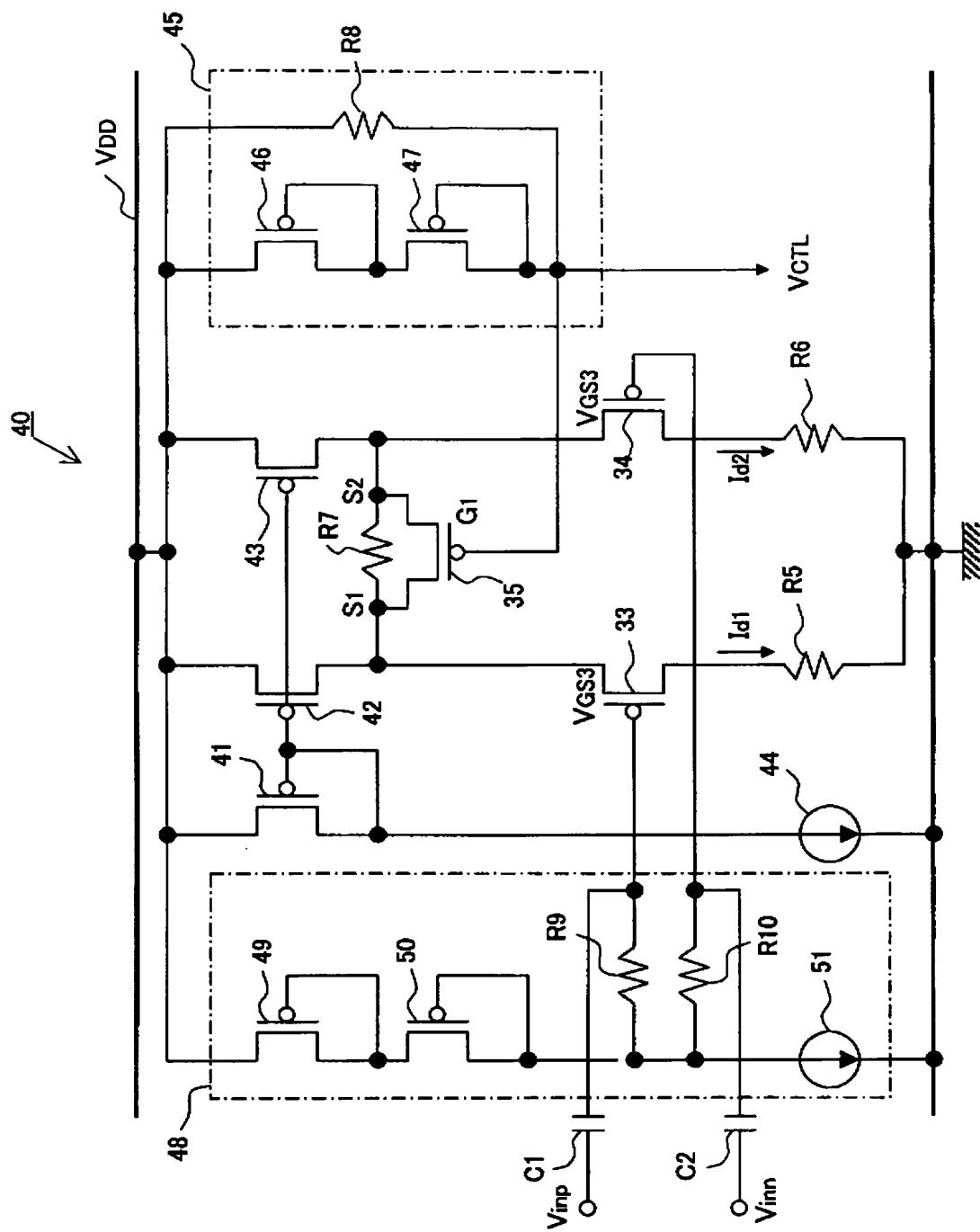
[図1]



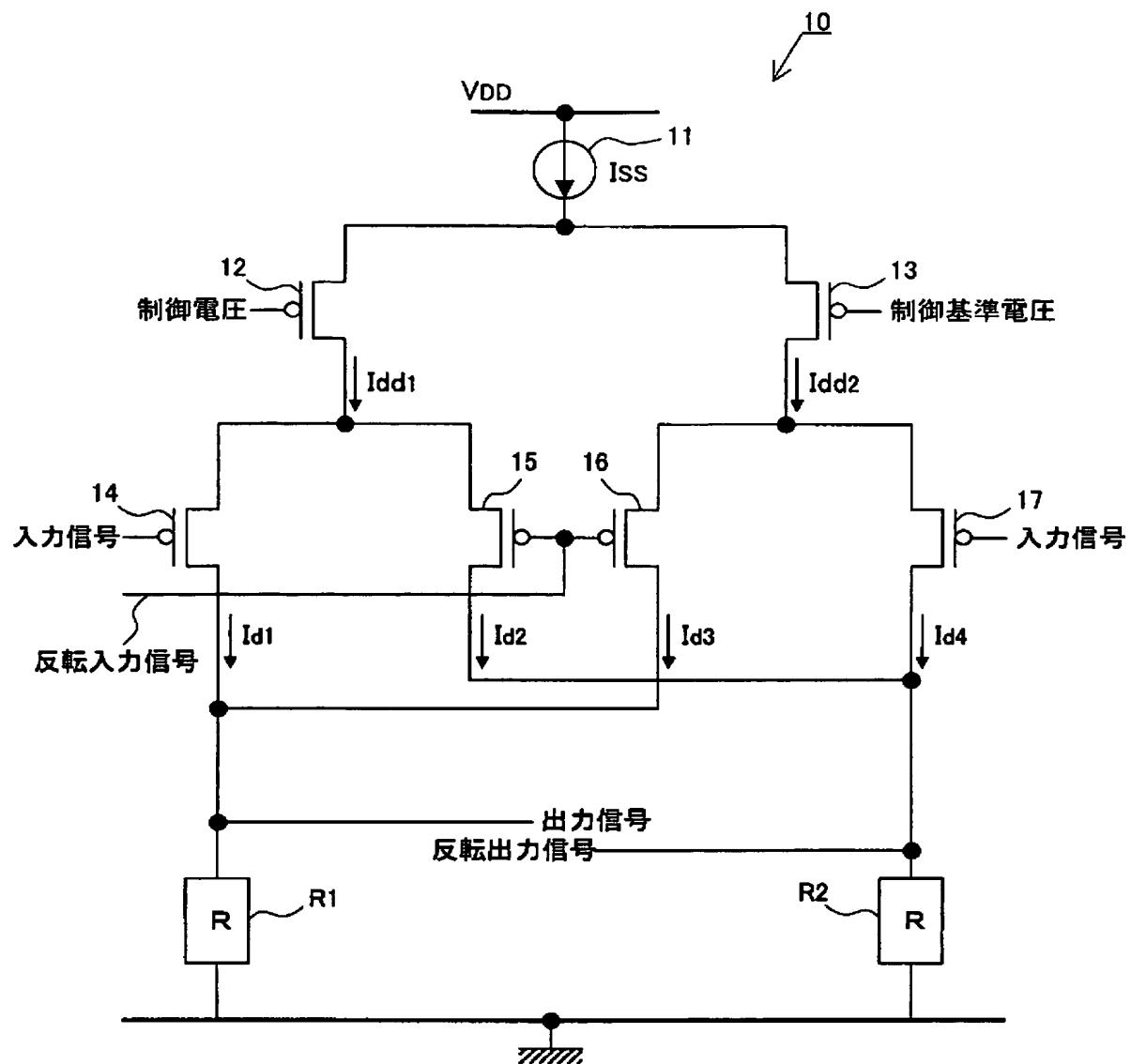
[図2]



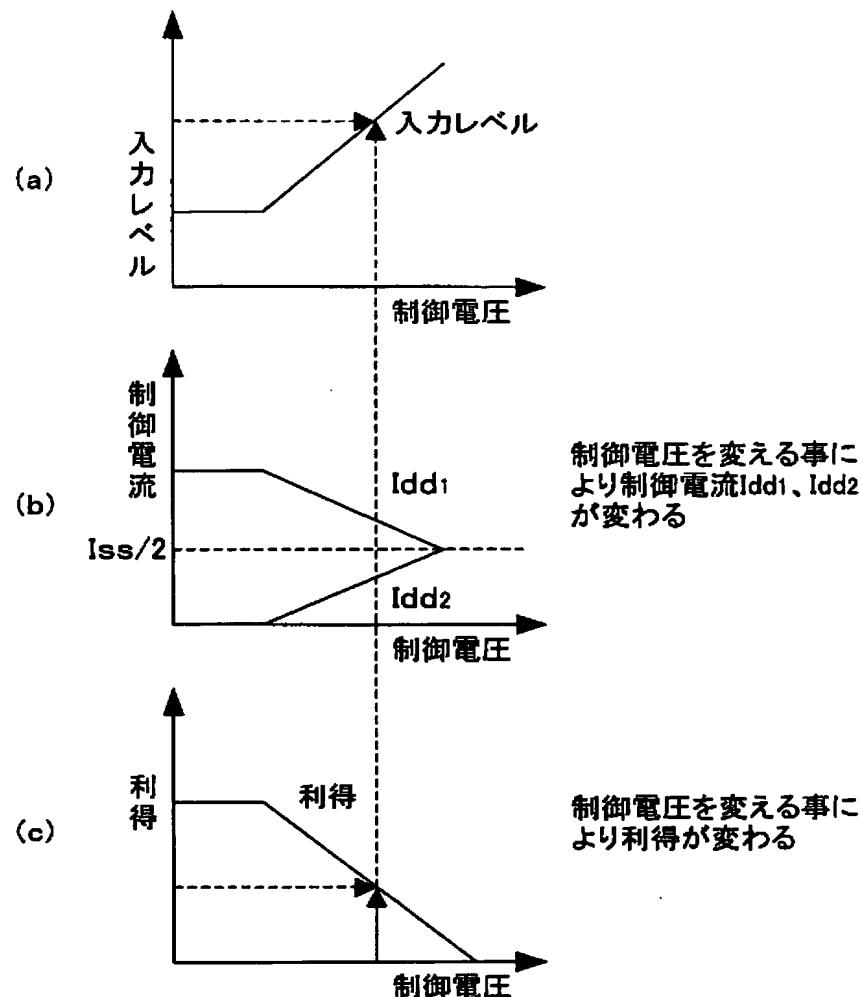
[図3]



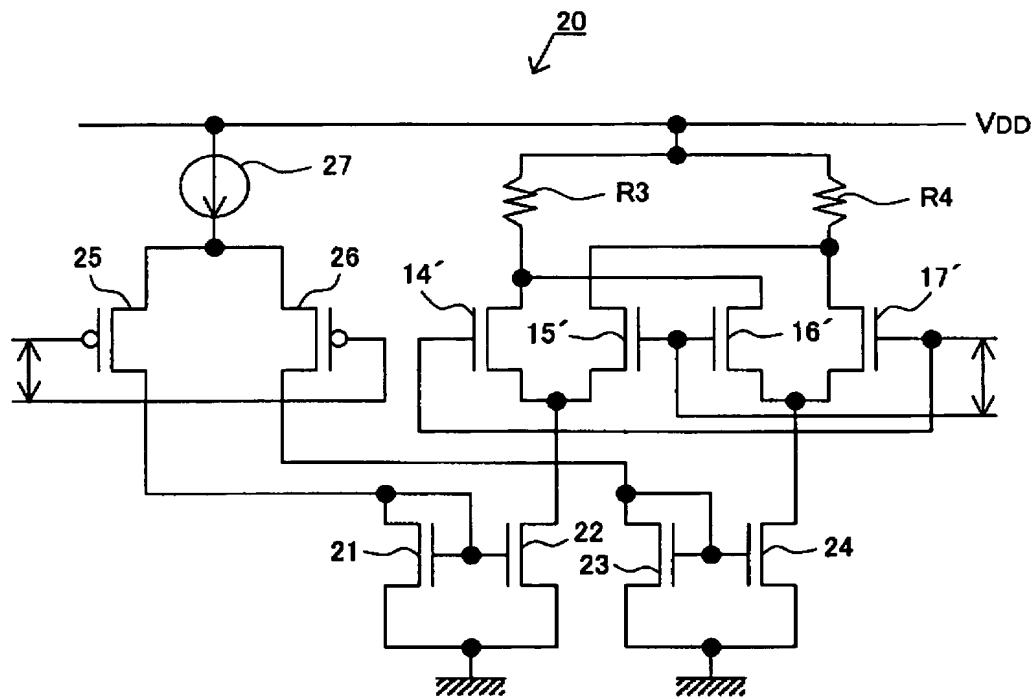
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/016774

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H03G3/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03G3/00-3/34

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	WO 01-63754 A1 (KONINKLIJKE PHILIPS ELECTRONICS N.V.), 30 August, 2001 (30.08.01), Full text; all drawings & JP 2003-524980 A & US 2001-0024132 A1 & EP 001173923 A	1 2-10
X Y	JP 01-212009 A (Oki Electric Industry Co., Ltd.), 25 August, 1989 (25.08.89), Full text; all drawings (Family: none)	1 2-10
Y	JP 05-335848 A (Mitsubishi Electric Corp.), 17 December, 1993 (17.12.93), Full text; all drawings (Family: none)	2-10

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
07 February, 2005 (07.02.05)Date of mailing of the international search report
08 March, 2005 (08.03.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/016774

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 02-081505 A (Hitachi, Ltd.), 22 March, 1990 (22.03.90), Full text; all drawings (Family: none)	4-10

国際調査報告

国際出願番号 PCT/JP2004/016774

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. C1' H03G 3/10

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. C1' H03G 3/00 - 3/34

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2004年
日本国登録実用新案公報 1994-2004年
日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	WO 01-63754 A1 (KONINKLIJKE PHI	1
Y	LIPS ELECTRONICS N. V.) 2001. 08. 30, 全文、全図 & JP 2003-524980 A, & US 2001-0024132 A1, & EP 001173923 A	2-10
X	JP 01-212009 A (沖電気工業株式会社) 1989. 08. 25, 全文、全図 (ファミリーなし)	1
Y		2-10

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日
07. 02. 2005

国際調査報告の発送日
08. 3. 2005

国際調査機関の名称及びあて先
日本国特許庁 (ISA/JP)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
白井 孝治
5W 8843

電話番号 03-3581-1101 内線 3576

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 05-335848 A (三菱電機株式会社) 1993. 12. 17, 全文、全図 (ファミリーなし)	2-10
Y	JP 02-081505 A (株式会社日立製作所) 1990. 03. 22, 全文、全図 (ファミリーなし)	4-10